

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Takashi TOYODA et al.)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: July 10, 2003)	Confirmation No.: Unassigned
)	
For: PRODUCING METHOD OF CMOS)	
IMAGE SENSOR)	

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2003-016231

Filed: January 24, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: July 10, 2003

By: 

Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application : January 24, 2003

Application Number : Japanese Patent Application No. 2003-016231

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

This 21st day of February, 2003

Commissioner,
Japan Patent Office Shinichiro OTA

Certificate No. 2003-3009168

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 1月24日

出願番号

Application Number:

特願2003-016231

[ST.10/C]:

[JP 2003-016231]

出願人

Applicant(s):

三菱電機株式会社

2003年 2月21日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3009168

【書類名】 特許願

【整理番号】 539931JP01

【提出日】 平成15年 1月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/14

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 豊田 孝

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 木村 雅俊

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100066474

 【弁理士】

 【氏名又は名称】 田澤 博昭

【選任した代理人】

 【識別番号】 100088605

 【弁理士】

 【氏名又は名称】 加藤 公延

【手数料の表示】

 【予納台帳番号】 020640

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 CMOSイメージセンサの製造方法

【特許請求の範囲】

【請求項1】 共通基板に積層されたウエルにフォトダイオードとMOSトランジスタとを形成する過程と、前記フォトダイオードに反射防止膜を形成させる過程と、当該反射防止膜及び前記MOSトランジスタに絶縁層を積層させる過程とを備えたCMOSイメージセンサの製造方法において、

前記反射防止膜を形成させる過程に、

前記フォトダイオードの表面及びMOSトランジスタを構成するゲート電極の表面に第一の絶縁膜を積層させる過程と、

前記第一の絶縁膜の表面に第二の絶縁膜を前記第一の絶縁膜より厚く積層させる過程と、

積層された前記第一の絶縁膜及び前記第二の絶縁膜に異方性エッチングを行い前記ゲート電極の側方にサイドウォールを形成させる過程とを備えたことを特徴とするCMOSイメージセンサの製造方法。

【請求項2】 反射防止膜を形成させる過程は、フォトダイオードの表面及びMOSトランジスタを構成するゲート電極の表面に第一の絶縁膜として酸化膜を積層させる過程と、前記酸化膜の表面に第二の絶縁膜として窒化膜を積層させる過程とを複数回繰り返し、複数の酸化膜と窒化膜とを交互に積層させた反射防止膜を前フォトトランジスタに形成させることを特徴とする請求項1記載のCMOSイメージセンサの製造方法。

【請求項3】 反射防止膜を形成させる過程は、積層された酸化膜と窒化膜に異方性エッチングを行いMOSトランジスタを構成するゲート電極の側方にサイドウォールを形成させた後、当該サイドウォールを備えたMOSトランジスタ及び前記窒化膜の表面に酸化膜を積層させる過程と、当該酸化膜に窒化膜を積層する過程とを備えたことを特徴とする請求項2記載のCMOSイメージセンサの製造方法。

【請求項4】 第一の絶縁膜及び第二の絶縁膜に異方性エッチングを行いゲート電極の側方にサイドウォールを形成させた後、絶縁層を積層させる過程と、

選択比の高いドライエッチングを行う過程と、選択比の低いドライエッチングを行う過程とを備え、前記絶縁層を貫通して前記サイドウォールの外壁に沿ったコンタクトホールを形成させることを特徴とする請求項 1 記載の CMOS イメージセンサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、CMOS イメージセンサの製造方法に関するものである。

【0002】

【従来の技術】

従来の CMOS イメージセンサは、光を電気信号へ変換するフォトダイオードの表面を全て酸化膜で構成している。入射光は屈折率が約 1 の空気中から屈折率が約 1.46 の酸化膜を透過し、屈折率が約 3～5 のシリコンから成るフォトダイオードへ入射する。このように屈折率が低いものから高いものへ光が入射する場合には、その界面で反射が生じフォトダイオードへ入射する光の入射効率が悪化する。屈折率の差が大きい界面ほど反射が生じやすいことから、酸化膜とフォトダイオードのシリコンとの間に中間の屈折率を有する層を形成させ、反射を抑制してフォトダイオードへの光の入射効率を改善している（非特許文献 1 参照）。

【0003】

非特許文献 1 に記載されている多層反射防止膜は、酸化膜、窒化膜、及び酸化膜の三層構造から成り、フォトダイオード上に薄い酸化膜を介して窒化膜を形成し、フォトダイオードへの入射光の透過率を改善している。しかしながら、このような構成ではフォトダイオード上に反射防止膜として窒化膜を形成する過程が必要になり、またこのような反射防止膜では透過特性の波長依存性を制御する点において限界がある。つまり、可視光線帯域の光の透過率を改善するのみで、カラーイメージセンサの色再現性に悪影響を与える近赤外光の透過率を抑制することができない。

【0004】

また、従来のCMOSイメージセンサの製造方法として次のような技術が特許文献1に記載されている。P型ウェル内で低濃度拡散領域となる部分のみを露出させたマスクパターンをフォトリソグラフィにより形成し、リン等のイオン注入によって低濃度N型不純物をドーピングして低濃度拡散領域を形成する。そして、フォトダイオード及びシリコン酸化膜で覆われたマスクパターンをフォトリソグラフィにより形成し、イオン注入によってN型不純物をゲート電極の両側方にドーピングさせ、高濃度拡散によるソース領域及びドレイン領域を形成させる。この際、ゲート電極とサイドウォールがマスクとなるので、その直下には低濃度拡散領域が残存し、いわゆるLDD構造のMOSFETが形成される。

【0005】

また、フォトダイオードとMOSFETの表面を含む領域に、それぞれ酸化膜及び窒化膜から成る絶縁膜を交互に積層して多層反射防止膜を形成させ、この多層反射防止膜上にフォトリソグラフィによって所定のマスクパターンを形成させる。フォトダイオードの受光面となるP型拡散層の表面とその周辺領域にのみ多層反射防止膜を残し、その他の多層反射防止膜をエッチングによって除去する。

【0006】

次に、多層反射防止膜、拡散層、及びゲート電極の表面を含む領域に第一の層間絶縁膜を形成し、拡散層と後述する配線とを電氣的に接続するコンタクトホールを所定のエッチングによって開口させ、このコンタクトホールにコンタクトプラグを挿入する。さらに、これらコンタクトプラグと接続するように第一の層間絶縁膜の上に第二の層間絶縁膜を積層した後、フォトダイオードの受光面となる部分を除いた第二の層間絶縁膜の表面に、例えばスパッタリングにより遮光膜を形成し、CMOSイメージセンサを製造する。従来のCMOSイメージセンサは、このようにして製造されている。

【0007】

【非特許文献1】

High-Sensitivity and No-Crosstalk Pixel Technology for Embedded CMOS Image Sensor IEEE TRANSACTIONS ON ELECT

RON DEVICES VOL. 48 NO. 10 OCTOBER 2001, p. 2221~p. 2227

【特許文献1】

特開2002-83949公報（第3頁～第5頁、図1～図9）

【0008】

【発明が解決しようとする課題】

従来のCMOSイメージセンサの製造方法は、以上のように行われているので、フォトダイオード上の反射防止膜用に別途窒化膜を形成する過程が別途必要になると共に、透過特性の波長依存性を制御する点において限界があるという課題があった。即ち、従来のCMOSイメージセンサの製造方法は、多大な過程が必要になると共に可視光線帯域の光の透過率を改善するのみでカラーイメージセンサの色再現性に悪影響を与える近赤外光の透過率を抑制することができないという課題があった。

【0009】

この発明は上記のような課題を解決するためになされたもので、入射光の透過率を向上させると共に近赤外線透過を抑制する反射防止膜を特別な過程を要することなくフォトダイオードに形成するCMOSイメージセンサの製造方法を得ることを目的とする。

【0010】

【課題を解決するための手段】

この発明に係るCMOSイメージセンサの製造方法は、反射防止膜を形成させる過程に、フォトダイオードの表面及びMOSトランジスタを構成するゲート電極の表面に第一の絶縁膜を積層させる過程と、第一の絶縁膜の表面に第二の絶縁膜を第一の絶縁膜より厚く積層させる過程と、積層された第一の絶縁膜及び第二の絶縁膜に異方性エッチングを行い、ゲート電極の側方にサイドウォールを形成させる過程とを備えたものである。

【0011】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態 1.

図 1 は、この発明の実施の形態 1 による CMOS イメージセンサの製造方法により製造される CMOS イメージセンサの断面図である。フォトダイオード 1 は、N 型拡散層 1 2 と P 型拡散層 1 3 とを積層して構成され、共通基板 1 0 上に積層された P ウエル 1 1 上面に N 型 MOS トランジスタ 1 6 と共に埋設される。酸化膜（第一の絶縁膜）2 は、フォトダイオード 1 の表面を覆うように積層され、窒化膜（第二の絶縁膜）3 は酸化膜 2 に積層され、酸化膜（第一の絶縁膜）4 は窒化膜 3 に積層され、窒化膜（第二の絶縁膜）5 は酸化膜 4 に積層される。コンタクト層間酸化膜（絶縁層）6 は、窒化膜 5 に積層されコンタクトホール 7 が設けられる。第一層間絶縁層 6 a はコンタクト層間酸化膜 6 の表面に積層され、当該第一層間絶縁層 6 a の上面には第一層アルミ膜 1 9 が埋設される。第二層間絶縁層 6 b は第一層絶縁層 6 a の表面に積層され、当該第二層間絶縁層 6 b の上面には第二層アルミ膜 2 0 が埋設される。なお、共通基板 1 0 は N 型、P 型のどちらのシリコン混合物でもかまわない。また、フォトダイオード 1 の反射防止膜は酸化膜 2、窒化膜 3、酸化膜 4、及び窒化膜 5 を積層して構成させたものである。

【 0 0 1 2 】

コンタクトホール 7 は、酸化膜 4、窒化膜 5、及びコンタクト層間酸化膜 6 を貫通して形成され、タングステンプラグ（コンタクトプラグ）1 8 が挿入される。ゲート電極 8 は、P ウエル 1 1 の上面に形成されたゲート酸化膜 4 0 6 の上面に積層され、酸化膜 4、窒化膜 5、コンタクト層間酸化膜 6、第一層間絶縁層 6 a、及び第二層間絶縁層 6 b が上方に積層される。フィールド酸化膜 9 は、P ウエル 1 1 上面に形成されたシリコン酸化膜で、P ウエル 1 1 上面の各部位に配置される各 N 型拡散層または各 P 型拡散層の形成に用いられる。ソース・ドレイン N 型拡散層 1 4 は、ゲート電極 8 及びゲート酸化膜 4 0 6 の下方に形成される図示を省略したチャネルドープ層 4 0 2 の両側方に配置され、その上層に積層されているゲート電極 8 及びゲート酸化膜 4 0 6 の両側方を挟み込むように P ウエル 1 1 に埋設される。LDD 拡散層 1 5 は、ゲート酸化膜 4 0 6 と各ソース・ドレイン N 型拡散層 1 4 との間に、かつサイドウォール 2 2、2 3 の下方に配置され

、ソース・ドレインN型拡散層14に隣接してPウエル11に埋設される。N型MOSトランジスタ16は、Pウエル11上面に配置または埋設された、ゲート電極8、ゲート酸化膜406、チャネルドープ層402、ソース・ドレインN型拡散層14、及びLDD拡散層15によって構成される。

【0013】

スルーホール17は、第一層間絶縁層6a、第二層間絶縁層6bをそれぞれ貫通して所定の位置に形成される。タングステンプラグ18は、スルーホール17に挿入され、第一層アルミ膜（配線膜）19と上方に位置する第二層アルミ膜（配線膜）20とを、また第二層アルミ膜20と上方に位置する第三層アルミ膜（配線膜）21とを接続する。また、タングステンプラグ18は、前述のようにコンタクトホール7に挿入され、各ソース・ドレインN型拡散層14とその上方に位置する第一層アルミ膜19とを接続する。第一層アルミ膜19は、コンタクト層間酸化膜6の上面に配線パターンを形成し第一層間絶縁層6aに埋設される。第二層アルミ膜20は、第一層間絶縁層6aの上面に配線パターンを形成し第二層間絶縁層6bに埋設される。第三層アルミ膜21は、第二層間絶縁層6bの上面に設けられる。また、第三層アルミ膜21には入射光を導入してフォトダイオード1へ受光させる開口部21aが設けられる。

【0014】

サイドウォール22は、酸化膜によって形成されゲート電極8の側方に接して設けられる。サイドウォール23は、窒化膜にて形成されサイドウォール22の外壁に接して設けられる。N型MOSトランジスタ16及び当該N型MOSトランジスタ16を構成するゲート電極8の側方に設けられたサイドウォール22、23の表面には酸化膜4が積層され、当該酸化膜4には前述のように窒化膜5、コンタクト層間酸化膜6などが上方に積層される。

【0015】

次に、動作について説明する。

図2～図7は、実施の形態1によるCMOSイメージセンサの製造方法の過程を示す説明図である。図2～図7は各過程によって製造されるCMOSイメージセンサの断面を示したもので、過程毎に（1）～（22）の番号を付して過程順

を表している。図 2 ～ 図 7 に示した CMOS イメージセンサ断面の各部分には、図 1 で用いた符号と同じものを付し、その説明を省略する。

【 0 0 1 6 】

図 2 (1) に示した過程は次のような処理を行う。シリコン混合物から成る共通基板 1 0 の表面に、例えばイオン注入や熱拡散等の方法によって P 型不純物を導入して P ウエル 1 1 を形成させる。その後、図示を省略したシリコン窒化膜で P ウエル 1 1 上面の所定の領域をマスクし、マスクされていない領域に素子分離に用いるフィールド酸化膜 9 を形成させる。

【 0 0 1 7 】

図 2 (2) に示した過程では、P ウエル 1 1 表面をマスクしている図示を省略したシリコン窒化膜を除去し、その後、図 1 に示した N 型 MOS トランジスタ 1 6 を形成させる領域を露出させて P ウエル 1 1 表面及びフィールド酸化膜 9 をマスクするマスクパターン 4 0 1 をリソグラフィによって形成させる。マスクパターン 4 0 1 を形成させた P ウエル 1 1 上面にイオン注入等の方法を用いて、例えばボロンなどの P 型不純物を注入し、マスクパターン 4 0 1 によってマスクされていない、即ち N 型 MOS トランジスタ 1 6 を形成させる領域に N 型 MOS トランジスタ 1 6 の閾値を調整するチャネルドープ層 4 0 2 を形成させる。

【 0 0 1 8 】

図 2 (3) に示した過程では、P ウエル 1 1 等の表面に形成されたマスクパターン 4 0 1 などのシリコン酸化膜をエッチングによって除去し、不要なシリコン酸化膜が除去された P ウエル 1 1 等の表面に、例えば熱酸化法によって N 型 MOS トランジスタ 1 6 のゲート酸化膜 4 0 6 に成るシリコン酸化膜 4 0 3 を形成させる。

【 0 0 1 9 】

図 2 (4) に示した過程では、N 型 MOS トランジスタ 1 6 のゲート電極 8 に成るポリシリコン層 4 0 4 をシリコン酸化膜 4 0 3 の表面に積層させる。次にゲート電極 8 を形成させる部分を特定するため、ポリシリコン層 4 0 4 の表面にリソグラフィによってマスクパターン 4 0 5 を形成させる。

【 0 0 2 0 】

図 3 (5) に示した過程では、マスクパターン 4 0 5 でマスクした領域のポリシリコン 4 0 4 及びその下層となるシリコン酸化膜 4 0 3 が残るようにエッチングを行い、不要な部分のポリシリコン 4 0 4 及びシリコン酸化膜 4 0 3 を除去する。このエッチング処理によりゲート電極 8 及びその下層にゲート酸化膜 4 0 6 を形成させる。この後エッチング処理によりマスクパターン 4 0 5 を除去する。

【 0 0 2 1 】

図 3 (6) に示した過程では、リソグラフィによって P ウエル 1 1、フィールド酸化膜 9、チャネルドープ層 4 0 2、及びゲート電極 8 の表面にマスクパターン 4 0 7 を形成させ、フォトダイオード 1 を形成させる領域を露出させてマスクする。この後、マスクパターン 4 0 7 によって露出されている P ウエル 1 1 などの表面にリン等の N 型不純物をイオン注入し、フォトダイオード 1 の電荷蓄積層を構成する N 型拡散層 1 2 を形成させる。

【 0 0 2 2 】

図 3 (7) に示した過程では、N 型拡散層 1 2 を形成させた後、マスクパターン 4 0 7 によってマスクした状態で、例えばボロン等の P 型不純物をイオン注入してフォトダイオード 1 の表面層を構成する P 型拡散層 1 3 を N 型拡散層 1 2 の表面に積層させる。

【 0 0 2 3 】

図 3 (8) に示した過程では、エッチング処理によってマスクパターン 4 0 7 を除去した後、P ウエル 1 1 等の表面に低濃度拡散領域を構成させる、例えば N 型 MOS トランジスタ 1 6 のソース・ドレインと成る部分を露出させたマスクパターン 4 0 8 をリソグラフィによって形成させ、リン等の低濃度 N 型不純物をイオン注入して低濃度 N 型拡散領域である LDD 拡散層 1 5 をチャネルドープ層 4 0 2 に形成させる。

【 0 0 2 4 】

図 4 (9) に示した過程では、エッチング処理によってマスクパターン 4 0 8 を除去した後、N 型 MOS トランジスタ 1 6 を構成するサイドウォール 2 2 に成るシリコンの酸化膜 2 を形成させる。なお、酸化膜 2 は P ウエル 1 1 等の表面全体を覆うように積層させる。

【 0 0 2 5 】

図 4 (1 0) に示した過程では、N 型 MOS トランジスタ 1 6 を構成するサイドウォール 2 3 に成るシリコンの窒化膜 3 を酸化膜 2 に積層させる。このとき窒化膜 3 が酸化膜 2 より充分厚くなるように積層させる。なお、窒化膜 3 は P ウェル 1 1 等の表面全体を覆うように酸化膜 2 の上層として積層させる。

【 0 0 2 6 】

図 4 (1 1) に示した過程では、N 型 MOS トランジスタ 1 6 が形成される領域を露出して窒化膜 3 の表面をマスクするマスクパターン 4 0 9 をリソグラフィによって形成させる。

【 0 0 2 7 】

図 4 (1 2) に示した過程では、異方性エッチング処理によって窒化膜 3 及び酸化膜 2 のマスクされていない部分を除去し、サイドウォール 2 2, 2 3 を形成させる。前述のように窒化膜 3 を酸化膜 2 に比べて充分厚くなるように積層させたことから、異方性エッチング処理によってシリコン酸化膜のサイドウォール 2 2 の側方、即ち外壁部分を覆うようにシリコン窒化膜のサイドウォール 2 3 を的確に形成することができ、後でコンタクトホール 7 がゲート電極 8 側にずれて形成された場合でも L D D 拡散層 1 5 とコンタクトホール 7 との接触を防ぐことができる。なお、ここまでの過程でフォトダイオード 1 の表面に一对のシリコン酸化膜とシリコン窒化膜、即ち酸化膜 2 及び窒化膜 3 の多層膜が形成され、複数の酸化膜と窒化膜とを交互に積層させた反射防止膜が形成される。

【 0 0 2 8 】

図 5 (1 3) に示した過程では、マスクパターン 4 0 9 が形成された窒化膜 3 の上方からリン、砒素等の高濃度 N 型不純物をイオン注入し、マスクパターン 4 0 9 によって露出されている部分にソース・ドレイン N 型拡散層 1 4 を形成させる。このとき、サイドウォール 2 2, 2 3 の直下となる部分には高濃度 N 型不純物が拡散されず、低濃度 N 型拡散領域として L D D 拡散層 1 5 が残存するように処理する。

【 0 0 2 9 】

図 5 (1 4) に示した過程では、エッチング処理によりマスクパターン 4 0 9

を除去した後、シリコンの酸化膜 4 を窒化膜 3、フィールド酸化膜 9、ソース・ドレイン N 型拡散層 1 4、サイドウォール 2 2, 2 3、及びゲート電極 8 等の表面に積層させる。なお、ソース・ドレイン N 型拡散層 1 4 と第一層アルミ膜 1 9 とを接続するコンタクトホール 7、第一層アルミ膜 1 9 と第二層アルミ膜 2 0 とを接続するスルーホール 1 7、及び第二層アルミ膜 2 0 と第三層アルミ膜 2 1 とを接続するスルーホール 1 7 を形成させる 2 ステップエッチング処理は既知の技術なので、ここでは詳細な説明を省略する。

【 0 0 3 0 】

図 5 (1 5) に示した過程では、酸化膜 4 の表面全体にシリコンの窒化膜 5 を酸化膜 4 より厚く積層させる。図 5 (1 6) に示した過程では、窒化膜 4 の表面全体にシリコンのコンタクト層間酸化膜 6 を積層させる。

【 0 0 3 1 】

図 6 (1 7) に示した過程では、コンタクト層間酸化膜 6 の表面に、コンタクトホール 7 を形成させる領域を露出させたマスクパターン 4 1 0 をリソグラフィによって形成させる。図 6 (1 8) に示した過程では、シリコン酸化膜とシリコン窒化膜とを的確に選択してエッチングする、即ち選択比の高いドライエッチング処理をマスクパターン 4 1 0 によって露出された領域のコンタクト層間酸化膜 6 に行い、コンタクト層間酸化膜 6 を貫通して窒化膜 5 まで達するコンタクトホール 7 を形成させる。

【 0 0 3 2 】

図 6 (1 9) に示した過程では、シリコン酸化膜とシリコン窒化膜とを明確に選択せずにエッチングする、即ち選択比の低いドライエッチング処理をマスクパターン 4 1 0 によって露出された領域、即ち図 6 (1 8) に示した過程でコンタクトホール 7 が形成された箇所に行い、当該箇所の窒化膜 5 及び酸化膜 4 をエッチングしてコンタクトホール 7 がソース・ドレイン N 型拡散層 1 4 に達するように形成する。このとき、ゲート電極 8 の両側方に形成されているサイドウォール 2 3 の外壁に沿うようにエッチングを行い、コンタクトホール 7 がゲート電極 8 へ接近しないように、またソース・ドレイン N 型拡散層 1 4 以外の部分へ達するようなオーバーエッチングとならないようにする。

【 0 0 3 3 】

図 6 (1 7) から図 6 (1 9) までに示した過程が前述の 2 ステップエッチング処理に相当する。このように選択比の高いドライエッチングと選択比の低いドライエッチングとを使い分けて処理することにより、コンタクト層間酸化膜 6 の層厚が異なるゲートコンタクトと拡散コンタクトに対してオーバーエッチングをしてしまうことが防止でき、エッチング処理を制御してコンタクトホール 7 を的確に形成させることが可能になる。なお、ここまでの過程でフォトダイオード 1 の表面には、酸化膜 2 と窒化膜 3、及び酸化膜 4 と窒化膜 5 の二対の多層膜が積層される。

【 0 0 3 4 】

図 7 (2 0) に示した過程では、エッチング処理によってマスクパターン 4 1 0 を除去した後、各コンタクトホール 7 にタングステンプラグ 1 8 が挿入され、これらタングステンプラグ 1 8 の上端部に接するようにしてコンタクト層間酸化膜 6 の上面に第一層アルミ膜 1 9 を積層してリソグラフィによって図示を省略したマスクパターンに基づく配線パターンを形成する。

【 0 0 3 5 】

図 7 (2 1) に示した過程では、第一層アルミ膜 1 9 を備えたコンタクト層間酸化膜 6 の表面に第一層間絶縁層 6 a を積層させ、図示を省略したマスクパターンに基づく所定の位置にスルーホール 1 7 をリソグラフィ及びエッチングによって形成する。形成された各スルーホール 1 7 にタングステンプラグ 1 8 を挿入する。第一層間絶縁層 6 a の表面に第二層アルミ膜 2 0 を積層させ、当該第二層アルミ膜 2 0 をリソグラフィ及びエッチングによって図示を省略したマスクパターンに基づく配線パターンに形成し、第一層アルミ膜 1 9 と第二層アルミ膜 2 0 の所定の部分をスルーホール 1 7 に挿入されたタングステンプラグ 1 8 によって接続する。

【 0 0 3 6 】

図 7 (2 2) に示した過程では、第二層アルミ膜 2 0 を備えた第一層間絶縁層 6 a の表面に第二層間絶縁層 6 b を積層させ、図示を省略したマスクパターンに基づく所定の位置にスルーホール 1 7 をリソグラフィ及びエッチングによって形

成する。形成された各スルーホール 1 7 にタングステンプラグ 1 8 を挿入する。第二層間絶縁層 6 b の表面に第三層アルミ膜 2 1 を積層させ、当該第三層アルミ膜 2 1 をリソグラフィ及びエッチングによって図示を省略したマスクパターンに基づいて形成し、第二層アルミ膜 2 0 と第三層アルミ膜 2 1 の所定の部分をスルーホール 1 7 に挿入したタングステンプラグ 1 8 によって接続する。第三層アルミ膜 2 1 は、フォトダイオード 1 が入射光を受光できるように所定の部位を開口部 2 1 a として開口させ、またそれ以外の部分を覆って遮光するように形成して電源や接地ライン等として用いる。

【 0 0 3 7 】

図 8 は、酸化膜及び窒化膜の光透過率を示す説明図である。図 8 (a) はフォトダイオード 1 に積層させる反射防止膜を全て酸化膜によって構成したものについて、図 8 (b) はフォトダイオード 1 に積層させる反射防止膜を、例えば 1 0 n m の酸化膜、7 0 n m の窒化膜、2 0 n m の酸化膜、5 0 n m の窒化膜、及び酸化膜からなる多層膜で構成したものについて、入射光の波長 (n m) と透過率 T (%) との関係を示したグラフである。図 8 (a), (b) から分かるように、図 8 (a) に示した全て酸化膜で構成した反射防止膜に比べて、図 8 (b) に示した多層膜で構成した反射防止膜のほうが可視光線帯域である波長 4 0 0 n m ~ 6 5 0 n m の光の透過率 T が良好である。このように多層膜によって反射防止膜を構成すると可視光線の透過率 T が高くなり、また近赤外線の透過率を抑制することができ、CMOS イメージセンサの受光感度を向上させるとともに近赤外線の透過を抑制することができる。

【 0 0 3 8 】

なお、ここまで説明した CMOS イメージセンサは、フォトダイオード 1 に複数の酸化膜及び窒化膜から成る多層膜の反射防止膜を備えたものであるが、一対の酸化膜と窒化膜あるいは酸化膜と窒化膜が同数ではない多層膜の反射防止膜を備えたフォトダイオードと、サイドウォールを備えた N 型 MOS トランジスタとを備えた CMOS イメージセンサを、エッチング処理を制御することによって同様に製造することもできる。

【 0 0 3 9 】

以上のように、実施の形態 1 によれば、サイドウォール 22, 23 を異方性エッチングにより形成し、コンタクトホール 7 を 2 ステップエッチングにより形成するようにしたので、特別な過程を追加することなくフォトダイオード 1 の表面に酸化膜 2、窒化膜 3、酸化膜 4、及び窒化膜 5 の多層膜の反射防止膜を形成させることができるという効果がある。

【0040】

また、酸化膜 2、窒化膜 3、酸化膜 4、及び窒化膜 5 の多層膜によって反射防止膜を形成したので、フォトダイオード 1 へ入射する近赤外線を抑制することができるという効果がある。

【0041】

【発明の効果】

以上のように、この発明によれば、フォトダイオードの表面及び MOS トランジスタを構成するゲート電極の表面に第一の絶縁膜を積層させ、第一の絶縁膜の表面に第二の絶縁膜を第一の絶縁膜より厚く積層させ、第一の絶縁膜及び第二の絶縁膜に異方性エッチングを行ってゲート電極の側方にサイドウォールを形成させるようにしたので、特別な過程を要することなく多層膜の反射防止膜を形成させることができるという効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による CMOS イメージセンサの製造方法により製造される CMOS イメージセンサの断面図である。

【図 2】 実施の形態 1 による CMOS イメージセンサの製造方法の過程を示す説明図である。

【図 3】 実施の形態 1 による CMOS イメージセンサの製造方法の過程を示す説明図である。

【図 4】 実施の形態 1 による CMOS イメージセンサの製造方法の過程を示す説明図である。

【図 5】 実施の形態 1 による CMOS イメージセンサの製造方法の過程を示す説明図である。

【図 6】 実施の形態 1 による CMOS イメージセンサの製造方法の過程を

示す説明図である。

【図 7】 実施の形態 1 による CMOS イメージセンサの製造方法の過程を示す説明図である。

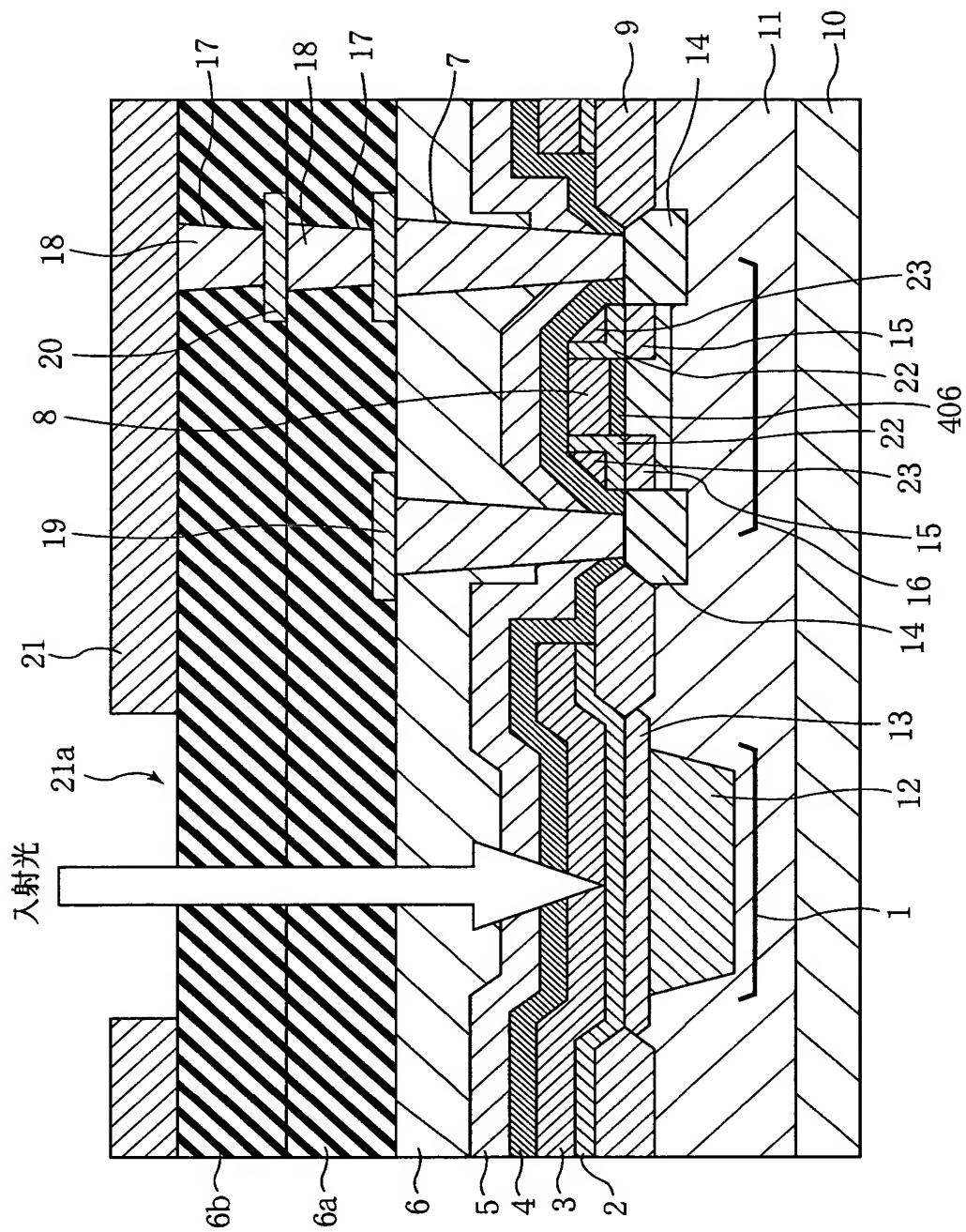
【図 8】 酸化膜及び窒化膜の光透過率を示す説明図である。

【符号の説明】

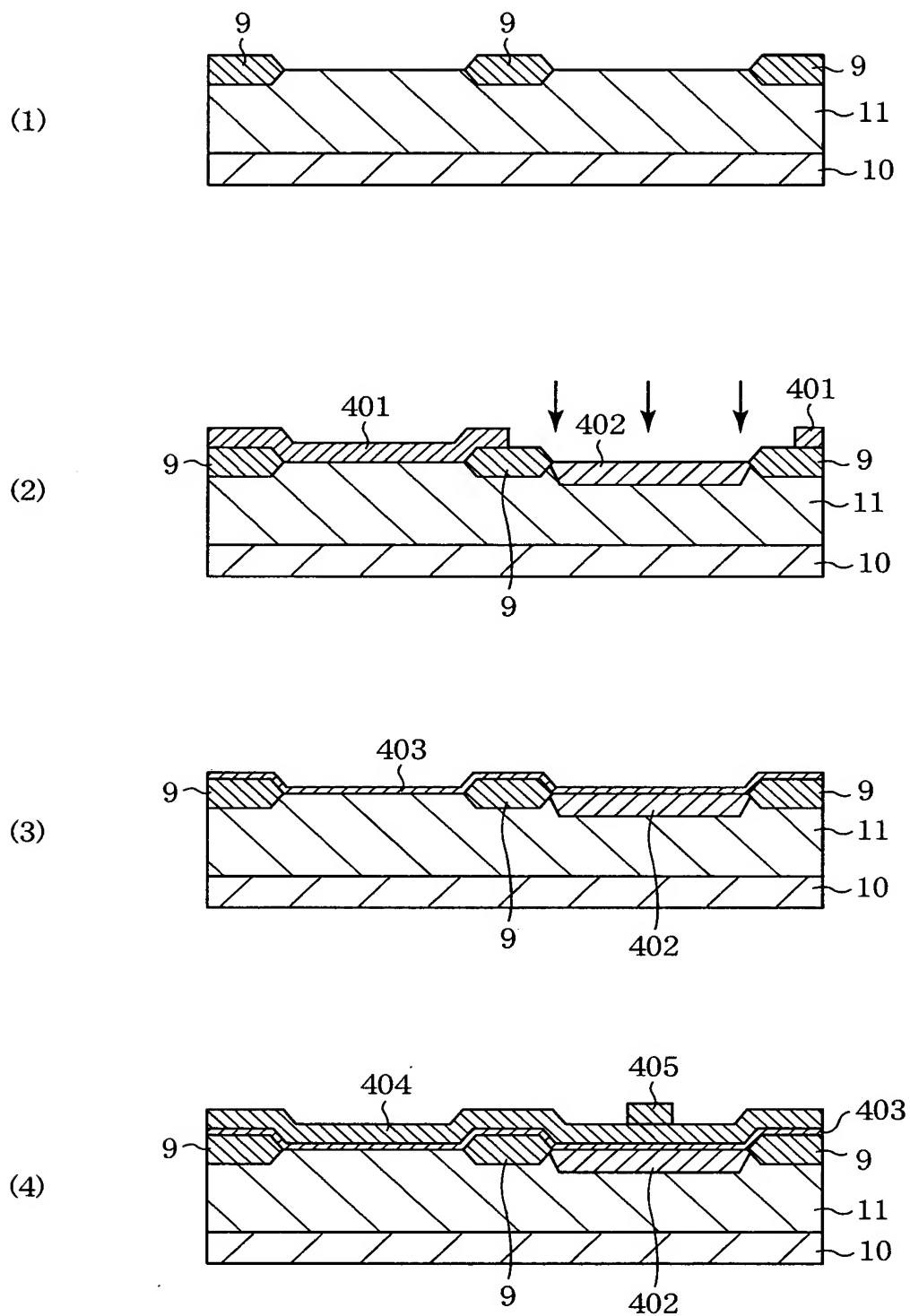
1 フォトダイオード、2 酸化膜（第一の絶縁膜）、3 窒化膜（第二の絶縁膜）、4 酸化膜（第一の絶縁膜）、5 窒化膜（第二の絶縁膜）、6 コンタクト層間酸化膜（絶縁層）、6 a 第一層間絶縁層、6 b 第二層間絶縁層、7 コンタクトホール、8 ゲート電極、9 フィールド酸化膜、10 共通基板、11 Pウエル、12 N型拡散層、13 P型拡散層、14 ソース・ドレインN型拡散層、15 LDD拡散層、16 N型MOSトランジスタ、17 スルーホール、18 タングステンプラグ（コンタクトプラグ）、19 第一層アルミ膜（配線膜）、20 第二層アルミ膜（配線膜）、21 第三層アルミ膜（配線膜）、21 a 開口部、22, 23 サイドウォール。

【書類名】 図面

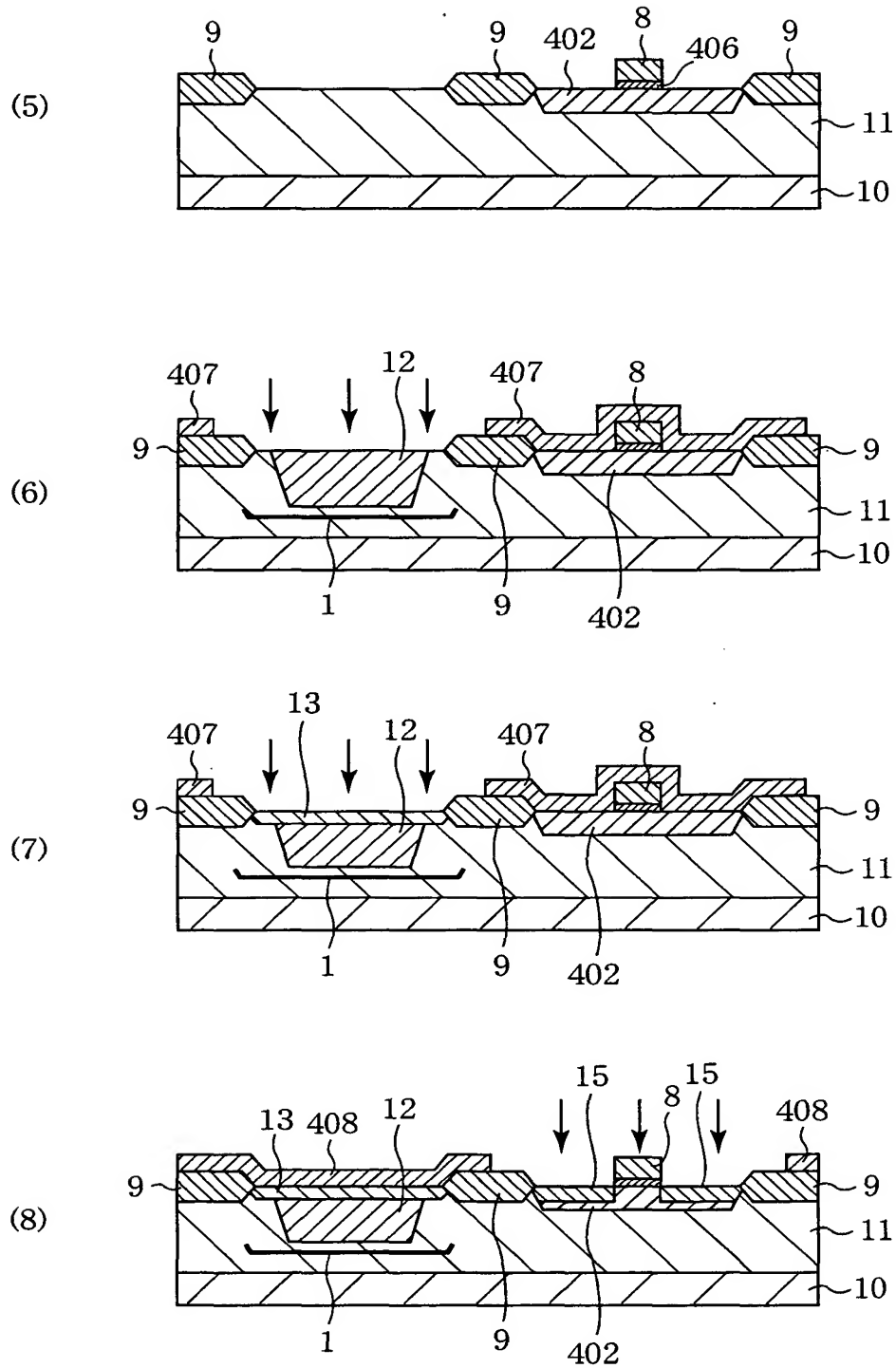
【図 1】



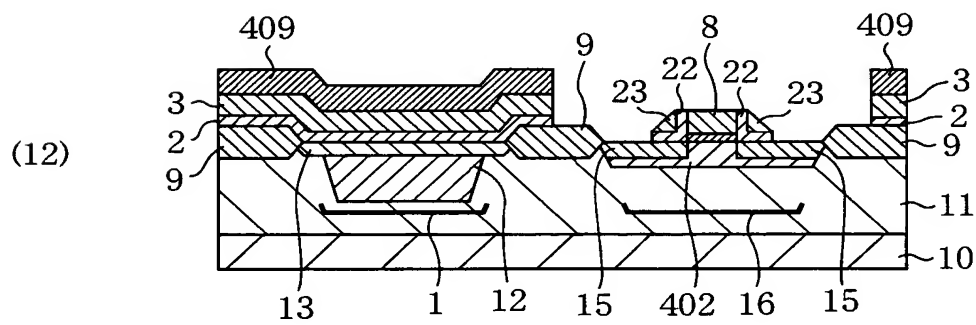
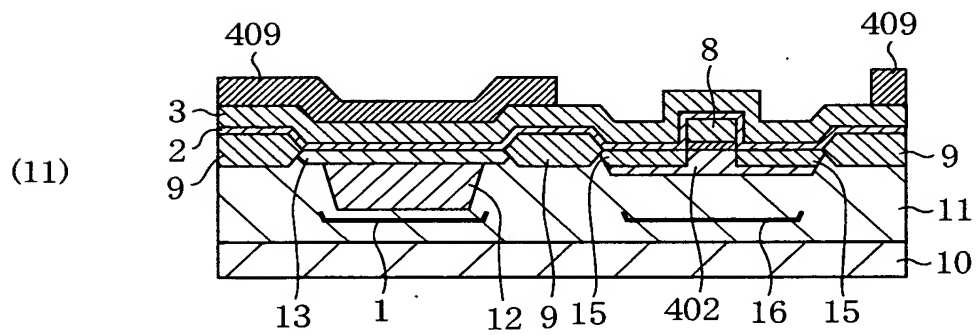
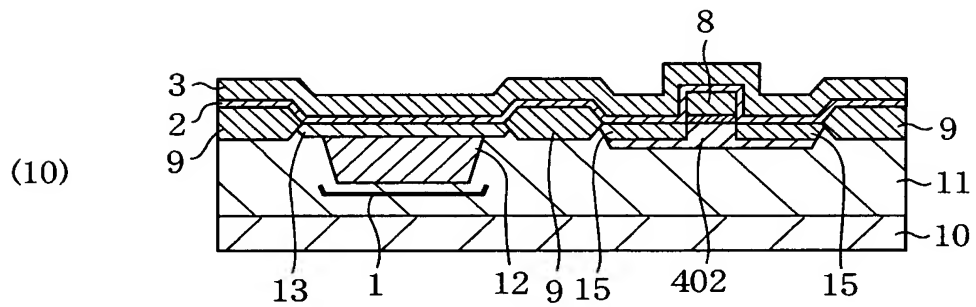
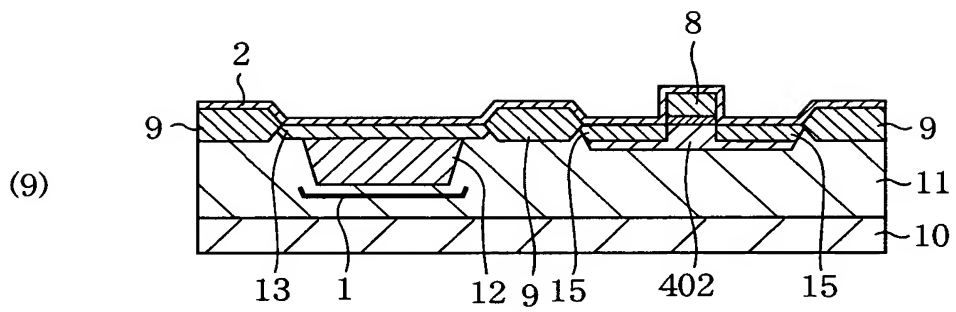
【図 2】



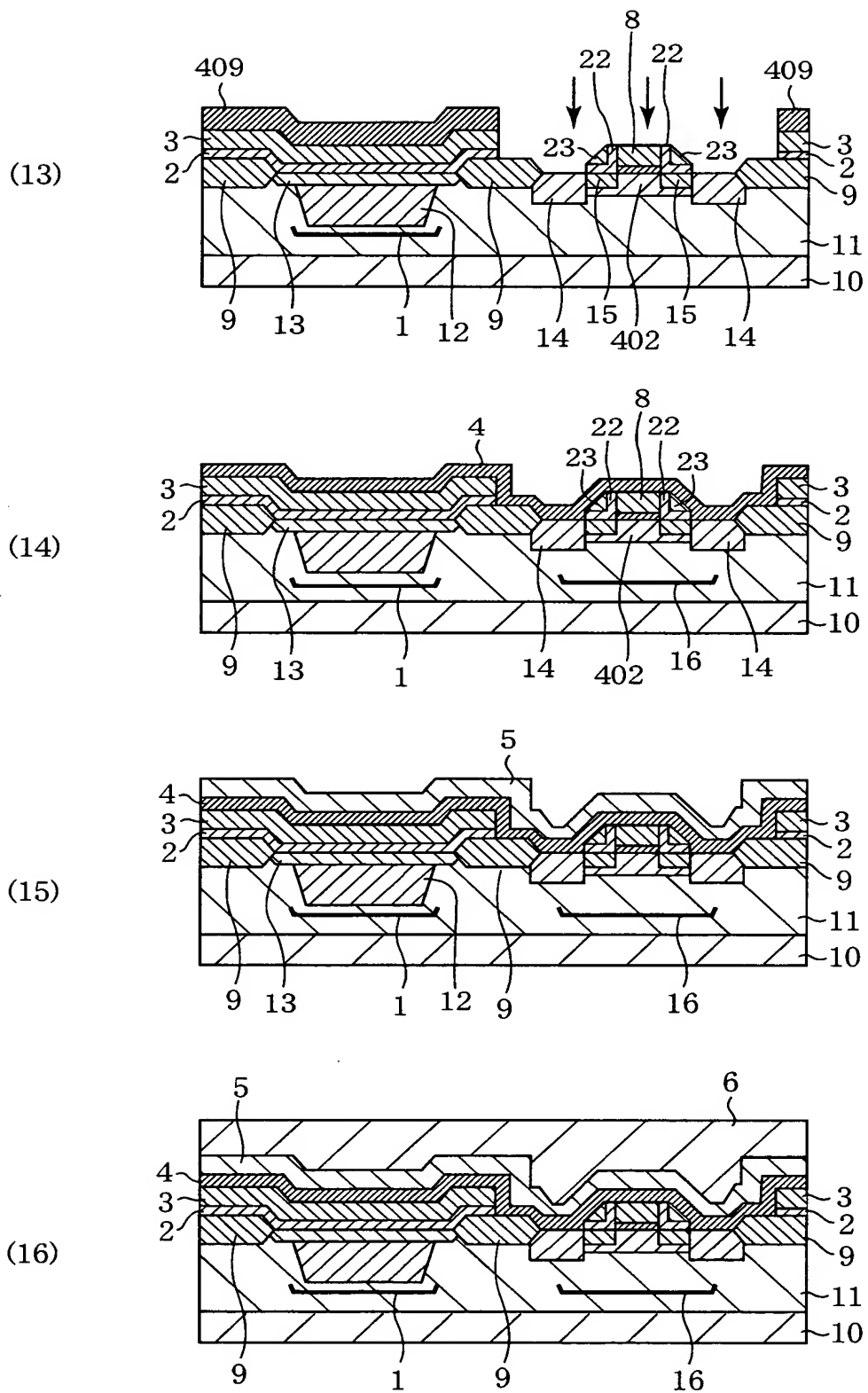
【図 3】



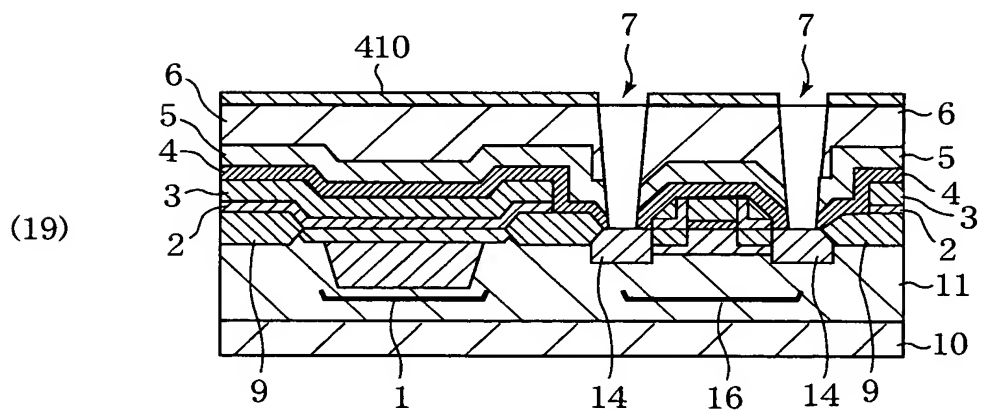
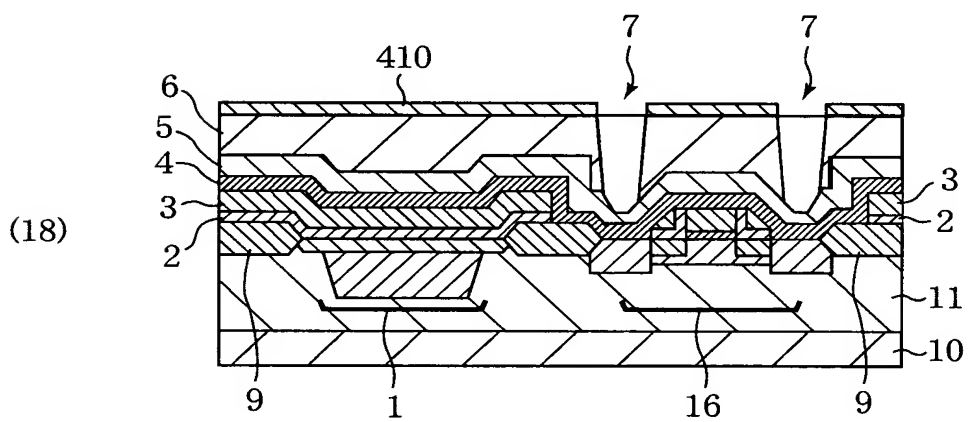
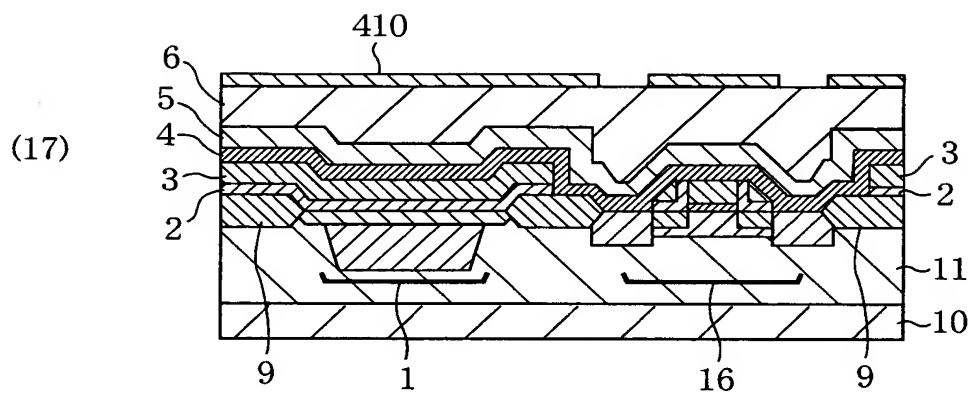
【図 4】



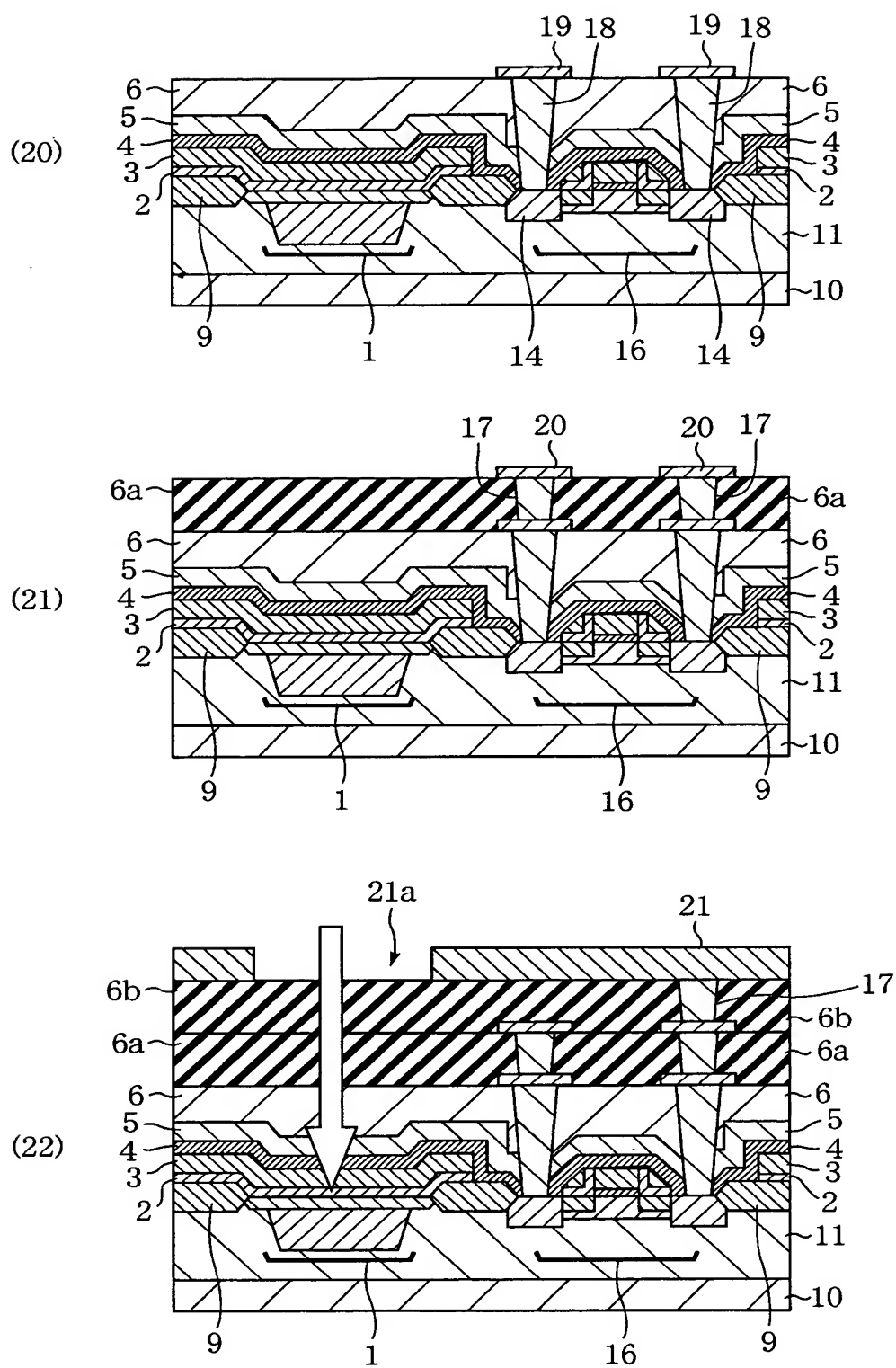
【図 5】



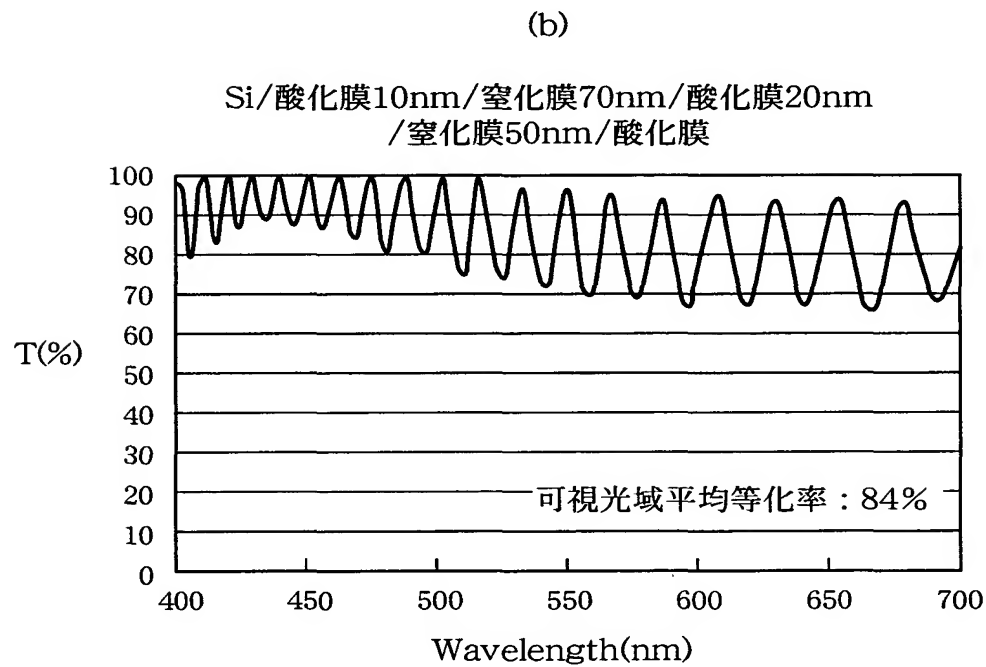
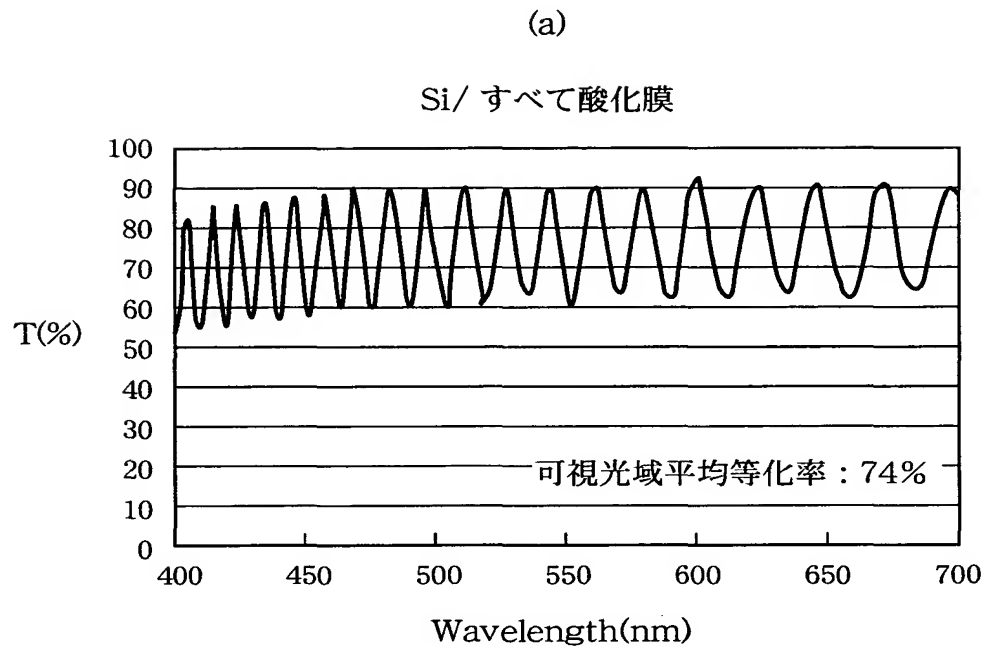
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 特別な過程を要することなく入射光の透過率を向上させると共に、近赤外線透過を抑制する反射防止膜をCMOSイメージセンサのフォトダイオードに形成させる。

【解決手段】 フォトダイオード1の表面に反射防止膜を構成する酸化膜2、窒化膜3、酸化膜4、及び窒化膜5とを積層させると共に、酸化膜2と窒化膜3に異方性エッチングを行うことによってN型MOSトランジスタ16を構成するゲート電極8の両側方にサイドオール22、23を形成させた。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日

[変更理由] 新規登録

住 所 東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名 三菱電機株式会社